

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-92865

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.⁶

H 0 1 L 21/60

識別記号

3 1 1

F I

H 0 1 L 21/60

3 1 1 Q

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号

特願平8-238786

(22) 出願日

平成8年(1996) 9月10日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 山本 哲浩

大阪府高槻市幸町1番1号 松下電子工業株式会社内

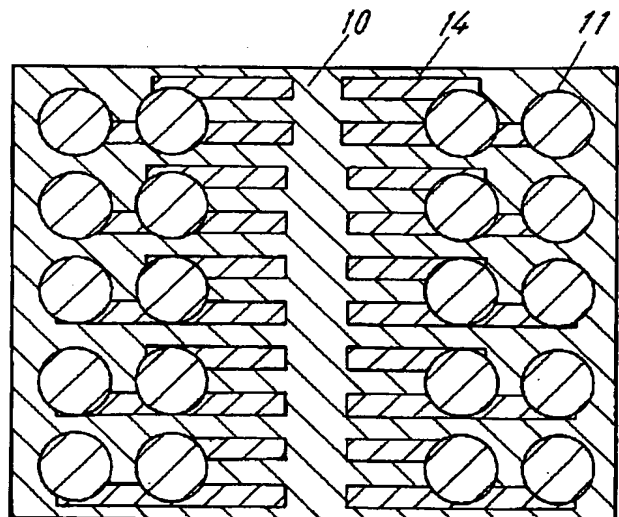
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 メモリーや汎用マイコンなどの小ピンの半導体素子をCSP化すると、製造コスト的に高価になるとともに、QFPの小型化率が小さくなる。

【解決手段】 半導体素子12の素子電極13から引き出される金属配線14は第1の樹脂層15上に形成され、この金属配線14により半導体素子12の素子電極13とパッケージ電極11が電氣的に接続されている。そして外部との電氣的な接続は第2の樹脂層10の開口部に位置するパッケージ電極11で行うものである。また、パシベーション膜16上に形成されるポリイミド樹脂層17、第1の樹脂層15および第2の樹脂層10により、この半導体装置と外部の実装基板とを実装した際に、その実装基板と半導体素子12のシリコン(Si)との熱膨脹差によって生じる応力を緩和するものである。また個々の組立を行わずウェハ単位で一括して加工を行うため低コストでCSP化することが可能になる。



E5568



Home



Search



List

☐ Include**MicroPatent® PatSearch FullText:** Record 1 of 1

Search scope: US EP WO JP; Full patent spec.

Years: 1990-2001

Text: Patent/Publication No.: JP10092865

[no drawing available]

[Download This Patent](#)[Family Lookup](#)[Go to first matching text](#)

JP10092865

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

MATSUSHITA ELECTRON CORP

Inventor(s): YAMAMOTO TETSUHIRO

Application No. 08238786, Filed 19960910, Published 19980410

Abstract: PROBLEM TO BE SOLVED: To prevent a semiconductor element with a small number of pins such as a memory, a general purpose microcomputer, etc., from becoming expensive and the miniaturization rate of QFP from becoming small, even if it is made into CSP(chip size package).

SOLUTION: The metallic wiring 14 drawn out of the element electrode 13 of a semiconductor element 12 is made on a first resin layer 15, and the element electrode 13 of the semiconductor element 12 and a package electrode 11 are electrically connected with each other through the metallic wiring 14. Then, the electric connection with outside is performed at the package electrode 11 positioned in the opening of a second resin layer 10. Moreover, the stress cause by the difference of thermal expansion between a mounting board and the silicon (Si) of the semiconductor element 12 when this semiconductor device and an outside mounting board are mounted is relieved by the polyimide resin layer 17, a first resin layer 15, and a second resin layer 10 made on a passivation film 16. Moreover, it becomes possible to make them into CSP at low cost, because they are processed en block in wafer units without performing individual assembly.

Int'l Class: H01L02160;

MicroPatent Reference Number: 000125904

COPYRIGHT: (C) 1998JPO



Home



Search



List

☐ Include

For further information, please contact:

[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)